

ABSTRACT

5 The present invention relates to an integrated circuit device having a memory area comprising a data memory. The invention is characterized in that said data memory has at least one counter element, at least one indicator element and at least one threshold value, which counter element, on the one hand, counts at least one number of occurrences of events within said device, and on the other hand, can reach said threshold value which is indicative of a large maximum number of occurrences of said events, said indicator element being designed to go from a first state to a second state when said counter element has reached said threshold value. In particular, the invention can be applied to smart cards.

20

[illegible]



DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITE DE COOPERATION EN MATIÈRE DE BREVETS (PCT)

(51) Classification internationale des brevets ⁷ : G07F 7/10	A1	(11) Numéro de publication internationale: WO 00/30047 (43) Date de publication internationale: 25 mai 2000 (25.05.00)
---	-----------	--

(21) Numéro de la demande internationale: PCT/FR99/02690

(22) Date de dépôt international: 4 novembre 1999 (04.11.99)

(30) Données relatives à la priorité:
98/14409 17 novembre 1998 (17.11.98) FR

(71) Déposant (pour tous les Etats désignés sauf US): SCHLUMBERGER SYSTEMES [FR/FR]; 50, avenue Jean Jaurès, F-92120 Montrouge (FR).

(72) Inventeur; et

(75) Inventeur/Déposant (US seulement): GUION, Christian [FR/FR]; 5, le Clos, F-91370 Verrières le Buisson (FR).

(74) Mandataire: UTZMANN-NORTH, Anne; Schlumberger Systèmes, Test & Transactions, 50, avenue Jean Jaurès, Boîte postale 620-12, F-92542 Montrouge Cedex (FR).

(81) Etats désignés: AE, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, CA, CH, CN, CR, CU, CZ, DE, DK, DM, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MD, MG, MK, MN, MW, MX, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, TZ, UA, UG, US, UZ, VN, YU, ZA, ZW, brevet ARIPO (GH, GM, KE, LS, MW, SD, SL, SZ, TZ, UG, ZW), brevet eurasien (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), brevet européen (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), brevet OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GW, ML, MR, NE, SN, TD, TG).

Publiée

Avec rapport de recherche internationale.

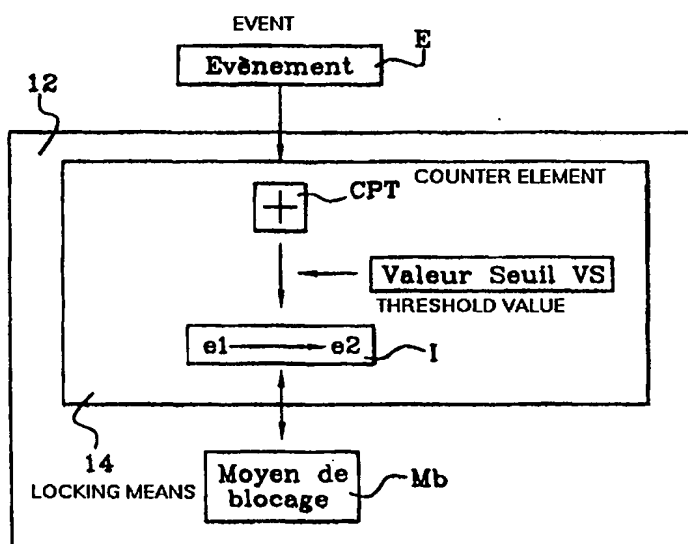
TITLE VI

(54) Title: DEVICE FOR LIMITING FRAUD IN AN INTEGRATED CIRCUIT CARD.

(54) Titre: DISPOSITIF POUR LA LIMITATION DE FRAUDES DANS UNE CARTE A CIRCUIT INTEGRE

(57) Abstract

The invention concerns an integrated circuit device containing a storage zone comprising a data storage unit. The invention is characterised in that said data storage unit comprises at least a counter element, at least an indicator element and at least a threshold value, said counter element counting at least the number of events having occurred in the device, and being capable of reaching said threshold value indicating a high maximum number of occurrences of said events, said indicator element being capable of passing from one first state to a second state when said counter element has reached said threshold value. The invention is applicable to smart cards.



(57) Abrégé

L'invention concerne un dispositif à circuit intégré contenant une zone mémoire comprenant une mémoire de données. L'invention se caractérise en ce que ladite mémoire de données contient au moins un élément compteur, au moins un élément indicateur et au moins une valeur seuil, ledit élément compteur comptant, d'une part, au moins un nombre d'occurrences d'événements survenus dans ledit dispositif, et, étant, d'autre part, susceptible d'atteindre ladite valeur seuil indicatrice d'un nombre maximum élevé d'occurrences desdits événements, ledit élément indicateur étant apte à passer d'un premier état à un second état lorsque ledit élément compteur a atteint ladite valeur seuil. L'invention s'applique, en particulier, aux cartes à puce.